

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-251285

(P2001-251285A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト ⁷ (参考)
H 0 4 L 7/10		H 0 4 L 7/10	5 B 0 7 7
G 0 6 F 1/04	3 0 2	G 0 6 F 1/04	3 0 2 Z 5 K 0 2 9
	13/38		13/38 3 3 0 Z 5 K 0 3 4
H 0 4 L 29/08		H 0 4 L 25/49	E 5 K 0 4 7
	25/49		13/00 3 0 7 C
審査請求 未請求 請求項の数 4 O L (全 10 頁)			

(21) 出願番号 特願2000-60073(P2000-60073)

(22) 出願日 平成12年3月6日 (2000.3.6)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 伊藤 雅博

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人 100107995

弁理士 岡部 恵行

Fターム(参考) 5B077 FF11 GG32 MM02

5K029 AA13 AA18 EE06 HH26 LL19

5K034 AA06 AA11 CC05 KK21 MM08

PP08

5K047 AA12 AA16 FF04 HH53 LL09

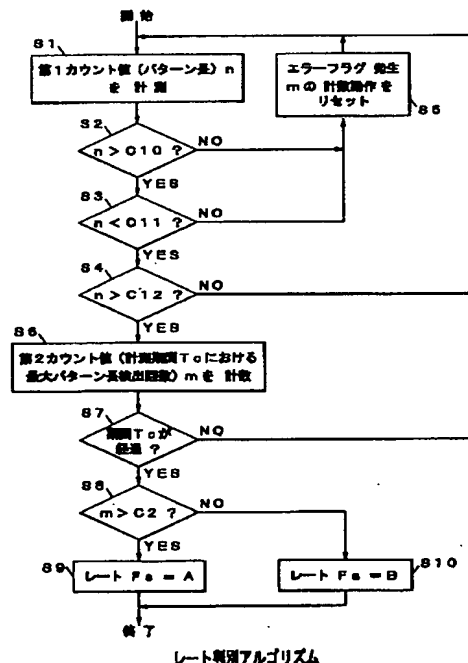
MM56 MM62

(54) 【発明の名称】 伝送レート判別方法及び回路

(57) 【要約】

【課題】 予め定められている複数種の何れかのレートで伝送されるベースバンドデジタルフォーマットの信号から、その伝送レートを比較的低速のクロックを用いて判別すること。

【解決手段】 この発明では、複数種類の伝送レートのうちの何れかで送られてくるデジタルパターンの信号から抽出した特有のパターンについて、そのパターン長 n を非同期の低い固定周波数のクロックで計測し (S1)、パターン長 n を判別して所定パターン長を検出する (S2~S4)。さらに、所定期間における所定パターン長の検出回数 m を計数し (S6)、検出回数 m の判別により、伝送されるデジタル信号の伝送レートを判別する (S8~S10)。また、過少/過大パターン長を判別した場合 (S2, S3) は、検出回数 m の計数動作をリセットし、計数期間の計時をあらためて開始する (S5)。



レート判別アルゴリズム

【特許請求の範囲】

【請求項 1】 予め定められた複数種類の伝送レートうちの何れかの伝送レートで伝送されるデジタルインターフェイス信号を再生するデジタルインターフェイスにおいて、

伝送されるデジタルインターフェイス信号中の特有のパターンについて、そのパターン長を固定周波数のクロックで計測するステップと、

計測された各パターン長から所定のパターン長を検出するパターン長検出ステップと、

所定期間における所定のパターン長の検出回数を算出する検出回数算出ステップと、

算出された検出回数を判別するステップと、

判別された検出回数に基づいて、伝送されるデジタルインターフェイス信号の伝送レートを判別するステップとを備えることを特徴とする伝送レート判別方法。

【請求項 2】 予め定められた複数種類の伝送レートうちの何れかの伝送レートで伝送されるデジタルインターフェイス信号を再生するデジタルインターフェイスにおいて、

伝送されるデジタルインターフェイス信号中の特有のパターンについて、そのパターン長を固定周波数のクロックで計測するステップと、

計測された各パターン長から所定のパターン長を検出するパターン長検出ステップと、

所定期間における所定のパターン長の検出回数を算出する検出回数算出ステップと、

算出された検出回数を判別するステップと、

判別されたパターン長乃至検出回数に基づいて、伝送されるデジタルインターフェイス信号の伝送レートを判別するステップとを備えることを特徴とする伝送レート判別方法。

【請求項 3】 パターン長検出ステップにおいて、計測されたパターン長について、当該デジタルインターフェイスフォーマット上発生し得ない過少又は過大なパターン長を検出した場合は、検出回数算出ステップにおける動作をリセットし、改めて所定期間の計時及び検出回数の算出動作を開始させるように制御することを特徴とする請求項 1 又は 2 に記載の伝送レート判別方法。

【請求項 4】 予め定められた複数種類の伝送レートうちの何れかの伝送レートで伝送されるデジタルインターフェイス信号を再生するデジタルインターフェイスにおいて、

伝送されるデジタルインターフェイス信号中の特有のパターンについて、そのパターン長を固定周波数のクロックで計測する第 1 カウンタと、

計測されたパターン長を第 1 閾値と比較し所定パターン長を検出する第 1 比較回路と、

所定期間中に第 1 比較回路で所定パターン長が検出された回数を算出する第 2 カウンタと、

算出された回数を第 2 閾値と比較し判別する第 2 比較回路と、

判別された回数に基づいて、伝送されるデジタルインターフェイス信号の伝送レート情報を出力する出力回路とを具備することを特徴とする伝送レート判別回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、予め定められた複数種類の伝送レート中の何れかのレートで伝送されるデジタルインターフェイス信号を抽出して再生するデジタルインターフェイスにおける伝送レート判別方法、及び、この伝送レート判別方法を実行するための回路に関する。

【0002】

【従来の技術】 予め定められた複数種類の伝送レートで伝送される可能性のあるデジタル伝送フォーマットで、しかも、波長が最大／最小で制限されて固有のパターン長の信号を扱う一般的なシステムの例としては、ベースバンドデジタル変調方式を用いた記録媒体への可変レート高密度記録再生装置等がある。

【0003】 また、関連するインターフェイスシステムの例としては、汎用のデジタルオーディオインターフェースにおける EIAJ (Electronic Industries Association of Japan : 〔社〕日本電子機械工業会) 規格 CP1201 がよく知られており、このフォーマットは、当該分野では「SPDIF フォーマット」(SPDIF は、Sony Philips Digital audio InterFace の略であり、「EIAJ/CP1201 デジタルオーディオインターフェイス仕様書」で規定されているフォーマットのことを指す。) と呼ばれる。

【0004】 このような伝送フォーマットを用いたシステムにおいて、信号を記録或いは送信する側は、その信号のレートを自ら決定する側であるので問題はないが、これを再生或いは受信する側では、まずそのレートを最初に判別できなければ、PLL もかけることができず、ビット毎のデータも検出することができないという問題があり、このため、レートを判別するための手法がこれまでに数多く知られている。しかしながら、これらの判別手法は、固有パターンの波長を高速のクロックでカウントするだけの簡単なもので、そのために、かなり高い周波数を用いて波長をカウントする必要があった。

【0005】

【発明が解決しようとする課題】 この発明の目的は、このような従来技術の状況に鑑み、予め定められた複数種類の伝送レートで伝送される可能性のあるデジタルインターフェイスにおいて、比較的低速のクロックを用いてその伝送レートを判別することができる伝送レート判別方法及び回路を提供することにある。

【0006】

【課題を解決するための手段】 この発明の第 1 の特徴に

従うと、予め定められた複数種類の伝送レートのうちの何れかの伝送レートで伝送されるデジタルインターフェイス信号を再生するデジタルインターフェイスにおいて、伝送されるデジタルインターフェイス信号中の特有のパターンについて、そのパターン長を固定周波数のクロックで計測するステップと、計測された各パターン長から所定のパターン長を検出するパターン長検出ステップと、所定期間における所定のパターン長の検出回数を算出する検出回数算出ステップと、算出された検出回数を判別するステップと、判別された検出回数に基づいて、伝送されるデジタルインターフェイス信号の伝送レートを判別するステップとを備える伝送レート判別方法が提供され、この伝送レート判別方法に従い、予め定められた複数種類の伝送レートのうちの何れかの伝送レートで伝送されるデジタルインターフェイス信号を再生するデジタルインターフェイスにおいて、伝送されるデジタルインターフェイス信号中の特有のパターンについて、そのパターン長を固定周波数のクロックで計測する第1カウンタと、計測されたパターン長を第1閾値と比較し所定パターン長を検出する第1比較回路と、所定期間中に第1比較回路で所定パターン長が検出された回数を算出する第2カウンタと、算出された回数を第2閾値と比較し判別する第2比較回路と、判別された回数に基づいて、伝送されるデジタルインターフェイス信号の伝送レート信号を出力する出力回路とを具備する伝送レート判別回路が提供される。

【0007】また、その第2の特徴に従うと、予め定められた複数種類の伝送レートのうちの何れかの伝送レートで伝送されるデジタルインターフェイス信号を再生するデジタルインターフェイスにおいて、伝送されるデジタルインターフェイス信号中の特有のパターンについて、そのパターン長を固定周波数のクロックで計測するステップと、計測された各パターン長から所定のパターン長を検出するパターン長検出ステップと、所定期間における所定のパターン長の検出回数を算出する検出回数算出ステップと、算出された検出回数を判別するステップと、判別されたパターン長乃至検出回数に基づいて、伝送されるデジタルインターフェイス信号の伝送レートを判別するステップとを備える伝送レート判別方法が提供される。

【0008】さらに、別の特徴に従うと、上述した各伝送レート判別方法において、さらに、パターン長検出ステップにて、計測されたパターン長について、当該デジタルインターフェイスフォーマット上発生し得ない過少又は過大なパターン長を判別した場合は、検出回数算出ステップにおける動作をリセットし、改めて所定期間の計時及び検出回数の算出動作を開始させる制御を行うように構成される。

【0009】〔発明の作用〕この発明の第1の特徴によると、予め定められた複数種類の伝送レートで伝送され

る可能性のあるデジタルインターフェイスにおいて、まず、伝送されるデジタルフォーマット信号中の固有の任意なパターンをターゲットにしてそのパターン長を固定周波数のクロックでカウントする。ここで、計測されたパターン長を表わす第1カウント値に対して、各伝送レートに応じて第1閾値を定めておき、パターン長検出ステップにおいて、第1閾値に基づいて第1カウント値を判定し、伝送レートを判定するための条件として予め設定される所定のパターン長であることを検出する。

【0010】次に、一定の計測期間の間に所定のパターン長を検出した回数を表わす第2カウント値に対し、当該複数の伝送レートに応じて第2閾値を定めておき、検出回数算出ステップにおいて、第2閾値に基づいて、第2カウント値が属する範囲を判別する。つまり、一定の期間中に所定パターン長が何回発生するかを判別することにより、受信されたデジタルインターフェイス信号の伝送レートを決定する。

【0011】この発明の第2の特徴によると、第1の特徴に加えて、パターン長検出ステップにおいて、第1閾値に基づいて、パターン長を判別して伝送レートを大分けすると共に、複数ではあるが特定の伝送レートに属する可能性がある所定のパターン長を検出する。次に、所定パターン長のものについては、さらに、検出回数算出ステップにおいて、第2閾値に基づいて、第2カウント値が属する範囲を判別する。そして、第1閾値によるパターン長判別に基づく伝送レートの大分け、及び、第2閾値による検出回数判別を総合して、受信されたデジタルインターフェイス信号の伝送レートを決定する。

【0012】この発明の別の特徴によると、さらに、第1閾値について、当該デジタルインターフェイスフォーマット上では本来発生しない最短パターン長及び最長パターン長を設定しておき、第1カウント値が最短パターン長よりも小さい（過少である）か、または、最長パターン長よりも大きい（過大である）場合には、即時エラーフラグを発生させるとともに、第2閾値に対して第2カウント値を計数する動作をリセットし、改めて所定の計測期間だけ計数するように制御する。

【0013】

〔発明の実施の形態〕以下、図面を参照しつつ、この発明の好適な実施例について詳述する。なお、以下の実施例においては、デジタルインターフェイス信号としてSPDIFフォーマットの信号が用いられる場合について説明されるが、これは単なる一例であって、所定のパターンを有する種々のデジタルインターフェイス信号に対して適用可能であり、さらに、ベースバンドデジタル変調を用いた記録・再生メディア等で、特殊再生ではなく、システムの比例等倍的な可変速再生における抽出再生信号においても、この発明の主旨を利用して可変速度に自動適応する再生回路を実現することもできる。

【0014】〔SPDIFフォーマット〕この発明の実

施態様を具体的に説明する前に、まず、既存のフォーマット及びそのレートを判別する際に必要な周波数を説明する。図1は、前述した「EIAJ-CP1201 デジタルオーディオインターフェイス」のフォーマットであるSPDIFフォーマットを示す。

【0015】SPDIFフォーマットデータにおいては、図1(1)(a)に示される1ビットレート当り(1タイムスロット毎)のビットデータ“0”、“1”は、図1(1)(b)に示されるように、1タイムスロットに相当する期間(「ビットレート対応パターン長」) 2Tの間同じ状態を維持するか、或いは、その半分の期間(「最小パターン長」) Tで状態を反転するバイフェーズマーク(以下、「Biφ」という。)方式と呼ばれる一種のFM変調をかけて伝送される。つまり、伝送される信号パターンは、ビットレート対応パターン長2T又はその半分の最小パターン長Tをもつ周波数パターンであり、これらのパターン2T、Tにより、それぞれ、1タイムスロットのデータ“0”、“1”が伝送される。

【0016】さらに、ステレオ2チャンネルのデジタルオーディオデータを伝送する前提で、図1(2)に示されるように、オーディオ信号のサンプリングレートFsに対して、各フレームには、32ビットずつLチャンネル(Lch)/Rチャンネル(Rch)がサブフレームとして割り振られている。各サブフレームのうち、純オーディオデータは各24ビットであり、最後に、冗長データV/U/C/Pビットが割り当てられ、パリティフラグ“V”、ユーザデータ“U”、チャンネルステータス(各種制御情報)“C”及びパリティビット“P”が1ビットずつ付加される。また、“C”ビットは、192フレームで1ブロックを構成する。

【0017】また、図1(2)に示されるように、各チャンネルデータ(サブフレーム)の先頭4ビットは、再生時の同期をとるためのプリアンプル信号PAが付加されている。このプリアンプルは、図1(1)で述べたBiφマークの変調則から外された特殊なパターンであり、図1(3)に示されるように、最小パターン長Tの3倍のパターン長(「最大パターン長」) 3Tをもつ周波数パターンを組み合わせた“B”、“M”、“W”という3種類のパターンをもつ。このうち、“B”パターンのプリアンプルは、192フレームを単位として各種制御情報を載せている“C”ビットに対応するブロックの先頭であるサブフレームであることを示し、それ以外のLchデータ及びRchデータのサブフレームの先頭には、それぞれ、“M”及び“W”パターンのプリアンプルが配置される。

【0018】上述のように、サンプリングレートFs内に配置される両チャンネル(Lch/Rch)分の2サブフレームを単位に1フレームが構成されている。従って、このフォーマットでは、最長パターンが最大パター

ン長3Tで制限され、最短パターンが最小パターン長Tで制限され、かつ、その実際の伝送レートは、 $a \times Fs = 2(ch) \times 32(bit) \times 2(T) \times Fs = 128Fs$ [$a=128$] であり、例えば、 $Fs=48kHz$ の時は6.1MHz(最小パターン長Tは、 $T=163ns$)であって、伝送レートFsに依存する。この時に伝送に用いられている伝送レートFsの値がいくらであるかを判別するのに、できるだけ低い周波数で識別するためには、最長パターンであるプリアンプルPA中の最大パターン長3Tを計測することが最も有利である。

【0019】しかしながら、伝送レートFsが48kHz、44.1kHz及び32kHzの3通りある場合は、非同期誤差を考慮すると、常識的には、最低でも46MHzの計測周波数でカウントしなければならない。何故なら、 $Fs=48kHz$ 時の3Tパターンは、488nsであって46MHzでカウントしたときカウント数“22”又は“23”が計数され、 $Fs=44.1kHz$ 時の3Tパターンは、531nsであって同じ46MHzでカウントしたときカウント数“24”又は“25”が計数されてはじめて、周波数差の少ない48kHzと44.1kHzとがそのカウント値により分離可能となるからである。

【0020】〔レート判別アルゴリズム〕この発明の一実施例によれば、デジタルインターフェイスにおいて受信された信号の固有パターン(例えば、SPDIFフォーマット信号におけるプリアンプルの最長パターン3T)に対して、単に、これを固定周波数のクロックでカウントするだけでなく、所定期間内の固有パターン発生回数を考慮して受信信号の伝送レートを判別することにより、計測クロックの固定周波数を低くすることができ、図2は、この発明の一実施例によるレート判別アルゴリズムを表わすフローチャートである。

【0021】まず、ステップS1において、入力された信号からそれぞれ発生する波長(パターン長)を、固定された所定のクロック周波数fcにて第1カウント値としてカウントする。ステップS1でカウントされる第1カウント値nは、計測される各波長(パターン長)毎に決定されるが、続くステップS2～S4において、順次、所定の第1閾値 $C1x=C10 \sim C12$ と比較判定される。

【0022】ステップS2における第1閾値 $C1x=C10$ は、所定の最小波長(パターン長)を固定クロック周波数fcでカウントした場合のカウント値 $Cmin$ よりも小さい値が設定される($C10 < Cmin$)。従って、本来のフォーマットデータであるときは、ステップS2で $n > C10$ と判定されステップS3に進むが、そうでないときはエラーであり、ステップS5に進む。ステップS3での第1閾値 $C1x=C11$ は、所定の最大波長(パターン長)を固定クロック周波数fcでカウントした場合のカウント値 $Cmax$ よりも大きい値が設定

される($C11 > Cmax$)。従って、本来のフォーマットデータであるときは、ステップS3で $n < C11$ と判定されステップS4に進むが、そうでないときはエラーでありステップS5に進む。また、ステップS5では、エラーフラグを立てると共に、第2カウント値 m をリセットする。

【0023】ステップS4での第1閾値 $C1x = C12$ は、フォーマット中の最長パターンの次に長い波長(パターン長)を固定クロック周波数 f_c でカウントした場合のカウント値 $Cmax2$ よりも大きい値が設定され($Cmax2 < C12 < Cmax$)、ステップS4で $n > C12$ と判定されるとステップS6に進み、そうでないときはステップS1に戻る。ステップS6に進む場合は $C12 < n < C11$ であり最長パターンの検出を意味するので、ステップS6においては、別のカウンタを用いて最大パターン長の検出回数を第2カウント値 m としてカウントアップ(“+1”カウント)する。

【0024】次のステップS7で、予め定められた或る一定の十分に長い計測期間 T_c が経過していないと判定されると、ステップS1に戻り、計測期間 T_c が経過するまで、このようなステップS1→S2→S3→S4→S6の第2カウント値 m の計数動作が繰り返され、また、この計測時間 T_c が経過した後は、ステップS7からステップS8に進む。

【0025】ステップS8においては、第2カウント値 m を第2閾値 $C2$ と比較判定し、 $m > C2$ ならば、ステップS9に進んで伝送レート F_s はレートAであると決定し、そうでないときは、ステップS10に進んで伝送レート F_s は別のレートBであると決定し、1回分のレート判別アルゴリズムを終了する。

【0026】もちろん、上述の計測期間 T_c 及び第2閾値 $C2$ は、伝送レート F_s を識別することができるように設定されることはいうまでもない。例えば、1フレームに1回しか発生しないような所定パターンをもつフォーマットで、その伝送レートが $F_s = 48 \text{ kHz}$ 及び 44.1 kHz の場合は、計測期間 T_c を 1 kHz (1 ms)にすれば、この所定パターンについては、 $F_s = 48 \text{ kHz}$ 信号ならば回数 $m = “48”$ がカウントされ、 $F_s = 44.1 \text{ kHz}$ であれば回数 $m = “44”$ がカウントされるはずである。従って、非同期誤差を含めて確実な第2閾値 $C2$ としては、 $C2 = “46”$ 程度に設定することによって、 $F_s = 48 \text{ kHz} / 44.1 \text{ kHz}$ を確実に識別することができる。さらに、識別すべきレートが2通り以上あるときには、第2閾値 $C2$ を $C2 = C21, C22, \dots$ と複数用意することもできる。

【0027】このように、この発明の一実施例によれば、第1閾値 $C1x$ のみを用いるだけでなく、第1閾値 $C1x$ を満足する発生回数を、或る決まった計測期間 T_c で計数した結果 m に基づいて、伝送レートを判別するようにしているので、第1閾値 $C1x$ を設定する際に

は、常識的に考えられる計測周波数より低い固定した計測クロック周波数 f_c を用いて、伝送レートの判別を実現することができる。さらに、この固定周波数 f_c によって各ビットデータを抽出するクロックをデジタル的に生成することが可能になるので、アナログPLLを用いることなくデータ抽出回路を実現することができる。これにより、実際の回路においては、消費電力を抑え、且つ、低い計測周波数による動作マージン及びデジタル回路構成による安定性を確保することができる。

【0028】〔第1閾値の設定手法〕この発明の一実施例によるレート判別アルゴリズムを、図1で説明したSPDIFフォーマットの信号(SP D I F信号)を受信する場合に、適用する際の数値設定手法について説明する。図3は、この発明によるレート判別における第1閾値の設定手法を説明するための波形図及びテーブル

(1)を示す。図3a)及びb)には、伝送レート F_s の候補(例えば、 48 kHz 、 44.1 kHz 、 32 kHz)の内の最大レート(例えば、 48 kHz)を F_{smax} とし、この最大レート F_{smax} における3通りのパターン $3T \sim T$ ($3T = 3T_{min}$ 、 $2T = 2T_{min}$ 、 $T = T_{min}$)が示されている。また、レート判別(第1カウント値 n の計測)に用いる固定クロック周波数 f_c は、図3d)に示されるように、 $f_c = b \cdot F_{smax}$ (例えば、 $b = 512$ 、 $f_c = 24.576 \text{ MHz} = 512 \times 48 \text{ kHz}$)に固定されており、図では明らかでないが、判別すべきSPDIF信号とは完全非同期のクロックである。

【0029】まず、入力信号は、図3のa)及びb)に示されるようなパターン $3T \sim T$ の3通りの信号があるが、極性には依存せず、波長(パターン長) $3T \sim T$ に意味がある。それぞれの波長がビットストロープされるための信号は、前述したように、最小パターン長 T つまり伝送レート F_s の a 倍の周波数 $a \cdot F_s$ であり、少なくとも、図3c)に示されるように、最大レート F_{smax} についても $a \cdot F_{smax}$ が成立しなければならず、しかも、図3d)に示される固定したクロック周波数 f_c から作られなければならない。

【0030】したがって、例えば、最大レート F_{smax} について、 $a = 128$ 、 $b = 512$ とすることができ、この場合、最大レート F_{smax} での最小パターン長 $T = T_{min}$ に対するクロック周波数 f_c の倍率 $c = b/a$ は、 $c = 4$ となり、図3d)のように固定周波数 f_c の計測クロックの周期 t は、 $t = T_{min}/c = T_{min}/4$ となる。

【0031】各閾値を設定する際の過程として、説明を簡単にするために、まず、計測クロック周波数 f_c が伝送レート F_s に同期した系とした場合、上述の数値例($a = 128$ 、 $b = 512$ 、 $c = 4$)においては、各伝送レート $F_s = 48 \text{ kHz}$ 、 44.1 kHz 、 32 kHz でのパターン $3T$ 、 $2T$ 、 T の計数値は、それぞれ、

図3のテーブル(1)のイ、ロ、ハ欄に示されるとおりである。ここで、SPDIF信号の伝送レート F_s と固定周波数 f_c とが非同期である場合には、それぞれの個所で非同期誤差が発生することには注意が必要である。例えば、周波数 $f_c = 512 F_{smax}$ の計測クロックが、SPDIF信号パターンの周波数 $a \cdot F_s = 128 F_s$ に対して、水晶精度で微妙に早いか遅いかで、非同期誤差が ± 1 クロック(Ck)程度の幅で発生する。

【0032】したがって、この場合、テーブル(1)より、レート判別のために最長パターン $3T$ を対象として検出することにすれば、各伝送レート F_s に対して固定クロック周波数 f_c で計数され得る第1カウント値 m は、イ欄の $F_s = 48 kHz$ の場合は $m = "12 \pm 1"$ ("11" ~ "13"の意味)となり、ロ欄の $F_s = 44.1 kHz$ の場合は $m = "13 + 1"$ ("13"又は"14")となり、ハ欄の $F_s = 32 kHz$ の場合は $m = "18 \pm 1"$ ("17" ~ "19")となる。従って、伝送レート F_s の $48 kHz$ と $44.1 kHz$ とは、計測され得る第1カウント値 m に重複があり、完全には識別できない。

【0033】〔第2閾値の設定手法〕そこで、この発明では、計測期間 T_c を設けて最長パターン $3T$ の検出回数を第2閾値 C_2 で判別する手法を用いる。図4は、この発明によるレート判別における第2閾値の設定手法を説明するためのテーブル(2)を示す。このテーブル

(2)は、計測期間 T_c を、伝送レート F_s のうちの最大レート $F_{smax} = 48 kHz$ の1周期に対して k 倍とし、 $k = 8, 16, 24, 32$ ($T_c = 166.7 \mu s, 333.3 \mu s, 500 \mu s, 666.7 \mu s$)に設定した各ケース(a) ~ (d)について、各伝送レート $F_s = 48 kHz$ (イ)、 $44.1 kHz$ (ロ)、 $32 kHz$ (ハ)におけるサブフレーム数(P)、最長パターン $3T$ の検出回数(Q)及び第2閾値 C_2 が示されている。結果的に、計測期間倍率 $k = 32$ つまり計測期間 $T_c = 666.7 \mu s$ (周波数でいえば、 $48 kHz / 32 = 1.5 kHz$)まで期間を延ばすことで、第2閾値 C_2 により、伝送レート F_s の $48 kHz$ と $44.1 kHz$ とが識別可能であることが分かる。

【0034】なお、最長パターン $3T$ の検出回数で第2閾値 C_2 を設定する手法のほかに、検出したブリアンブルの回数を第2カウント値とすることも可能であり、この場合は、先にも述べたように、サブフレームで1回ずつ検出できるので、 $T_c = 1 ms$ ($1 kHz$ 周波数)として第2閾値 $C_2 = "46"$ とすればよい。

【0035】〔レート判別アルゴリズムの具体例〕図5は、この発明の一実施例によるレート判別アルゴリズムのより詳細な例を示す。ステップR1において、第1閾値 C_1x に対して、各パターン長に対応する第1カウント値 n が求められると、続くステップR2 ~ R4で、順次、比較される。ステップR2では、 $2 < n < 19$ であ

るか否か判定され、 $2 < n < 19$ のときはステップR3に進むが、 $n \leq 2$ 又は $n \geq 19$ のときは、最大 $3T$ ・最小 T の範囲を超えたパターン長が入力されたケースであり、この場合はステップR5に進んでエラーとして扱う。例えば、信号が入力していない状態の判定を可能とするものである。従って、ステップR5に進んだ場合はエラーフラグ f_0 を立ててステップR6に進み、後述する第2カウント値 m の算出動作(ステップR8の機能)をリセットする。

【0036】一方、ステップR3では、さらに、 $n < 16$ であるか否かが判定され、 $n < 16$ のときはステップR4に進み、そうでないとき即ち $n \geq 16$ ($16 \leq n \leq 18$)のときは、ステップR7に進み、これだけで $F_s = 32 kHz$ と判定され、 $F_s = 32 kHz$ のステートを表わす第1ステートフラグ f_1 を立て、その後ステップR6に進む。この場合、SPDIF受信信号のデータビットを復調するための処理として、ステップR3、R7間に、破線で示すようにステップR7'を挿入し、データビット復調用ストローククロックの切替え(後述するビット抽出パルス列 p_1, p_2 を参照)を行うようにしてもよい。 $n < 16$ でステップR4に進んだ場合は、このステップR4で $10 \leq n \leq 15$ であるか否かが判定され、 $10 \leq n \leq 15$ のときはステップR8に進み、そうでないときは、ステップR1に戻る。

【0037】ここで、 $10 \leq n \leq 15$ のときは、 $F_s = 48 kHz$ 又は $44.1 kHz$ 時の最長パターン $3T$ を検出したケースであり、これについては、ステップR8において、第2閾値 C_2 に対応する第2カウント値 m を求める。この時、第2カウント値 m は、 m カウンタによって計測期間 $T_c = 666.7 \mu s$ ($1.5 kHz$)で計数され、さらに、ステップR9に進む。ステップR9では、第2カウント値 m を第2閾値 C_2 で判定し、具体的には、 $m < 92$ であるか否かを判定する。ここで、 $m < 92$ のときは、ステップR10に進んで $F_s = 44.1 kHz$ とし、 $F_s = 44.1 kHz$ のステートを表わす第2ステートフラグ f_2 を立てた上、ステップR6に進む。また、そうでないときはステップR11に進んで $F_s = 48 kHz$ とし、 $F_s = 48 kHz$ のステートを表わす第3ステートフラグ f_3 を立てた上、ステップR6に進む。すなわち、第2カウント値 m が第2閾値 $C_2 = 92$ よりも大であるか小であるかによって、 F_s が $48 kHz$ 或いは $44.1 kHz$ であることを判別する。

【0038】ステップR6においては、ステップR7、R10、R11で得られた結果を、計測期間 T_c を単位としてラッチし出力すると共に、第2カウント値 m を計数する m カウンタをリセットしてその内容をクリアする。これと同時に、次のステップR12において、先に述べたエラーで無いケース、即ち、第1 ~ 第3ステートフラグ f_1, f_2, f_3 のどれかのステートが検出されているときには、エラーフラグ f_0 を解除する。

【0039】〔伝送レート判別及びデータ抽出回路例〕
図6は、この発明の一実施例による伝送レート判別及びデータ抽出回路を示す。図6に示される伝送レート判別及びデータ抽出回路RSは、前述した伝送レート判別アルゴリズムを実現する一回路例であり、入力信号Siの変化点（エッジ）を検出する変化点検出回路1、波長計測用の第1カウンタ2、第1閾値C1xに対する第1比較回路3、デコーダ4、切替回路5、復調回路6、計測期間Tcを決定するための計測タイミング信号を生成するタイミング回路7、最大波長を検出した回数mを計数する所定パターン検出回数計数用の第2カウンタ8、第2閾値C2に対する第2比較回路9、両比較回路3、9からの各出力ステートを計測期間Tcでラッチする出力回路10を備えており、主として、回路1～3、7～10によりレート判別ブロックRDが構成され、回路4～6によりデータ抽出ブロックDSが構成される。

【0040】入力信号Siは、例えば、SPDIFフォーマットの変調信号であり、クロックCkは、前述例と同様に、24.576MHzの固定周波数fcとする。変化点検出回路1は、このクロックCkを用いてSPDIF入力信号Siのパターンの変化点（エッジ）を検出し、波長計測カウンタ2は、検出された信号Siのパターンの変化点から変化点までをクロックCkでカウントする。

【0041】第1カウンタ2から出力される第1カウント値nは、入力信号Siの所定パターンの波長を表わし、第1比較回路3にて所定の第1閾値C1x=C10～C12と比較されると同時に、デコーダ4に入力され、入力信号Siについて想定している伝送レートFsに対して、プリアンプル及びデータビットを抽出するための周波数a・Fs(=128Fs)のタイミングパルス列p1、p2をデコーダ4で生成させる。

【0042】より詳しくいえば、デコーダ4は、(a)Fs=32kHz及び(b)それ以外(Fs=48kHzとFs=44.1kHz)を想定した2通りのビット抽出パルス列p1、p2を出力することができ、これらのパルス列p1、p2は、切替回路5により何れかに切り替えられて復調回路6に出力され、入力信号Siを復調するのに利用される。切替回路5によるビット抽出パルス列p1、p2の出力切替えは、第1比較回路3において、第1カウント値nを判別した結果、伝送レートFs=32kHzを検出したかどうかで決定され、(a)Fs=32kHzの検出時には、これに対応するパルス列p1が出力され、(b)そうでない時にはパルス列p2が出力される。そして、復調回路6では、切替回路5からのビット抽出パルス列p1又はp2を用いて、SPDIF入力信号SiのBiφ変調が復調されると同時に、各データはワード単位でシリアル-パラレル変換されてデータ抽出が行われ、抽出データSDが出力される。

【0043】第1比較回路3は、第1カウント値nが、例えば、第1閾値C1xの最小値“3”、最大値“18”及び中間値“10”、“16”に対して、n<3又はn>18のときはエラー信号Sf0をタイミング回路7及びラッチ回路10に出力し、16≤n≤18のときは、伝送レートFs=32kHzを表わす第1判別信号Sf1を切替回路5及びラッチ回路10に出力する。また、10≤n<16のときには、それ以外(Fs=48kHzとFs=44.1kHz)を表わす第2判別信号Sfaが比較回路3から出力され、この信号Sfaが発生される回数を第2カウント値mとして第2カウンタ8で計数する。

【0044】回数mを計数する計測期間Tcは、タイミング回路7でクロックCkを分周するタイミング回路7で生成される計測タイミング信号により決定される。この例では、1.5kHzの計測タイミング信号Stcがタイミング回路から第2カウンタ8に出力され、第2カウンタ8における回数mの計測期間Tcを規定する。この計測タイミング信号Stcの期間中に計数される第2カウント値mは、第2カウンタ8から第2比較回路9に与えられ、ここで、第2閾値C2=“92”と比較される。この比較の結果、Fs=48kHzか44.1kHzかが判別され、この判別内容を表わす第3判別信号Sfbがラッチ回路10に出力される。

【0045】ラッチ回路10では、各信号Sf0、Sf1、Sfbが、タイミング回路7からのタイミング信号Stcにより所定の計測期間Tc単位でラッチされ、対応する内容を表わすステートデータf0～f3が、タイミングを合わせて出力される。例えば、第1比較回路3からのエラー信号Sf0及び第1判別信号Sf1に依じて、それぞれ、エラーフラグf0及び第1ステートフラグf1を出力する。また、第2比較回路9から入力される第3判別信号Sfbが表わす内容(Fs=48kHz又はFs=44.1kHz)に依じて、第2又は第3ステートフラグf2、f3を出力する。

【0046】〔発明の効果〕以上説明したように、この発明によれば、ディジタルインターフェイス信号中の固有の任意なパターンをターゲットにして伝送レートの判別を行い、この場合、所定の第1閾値C1xによるパターン長判別のみで伝送レートを判別するだけではなく、所定パターン長の発生回数を或る決まった計測期間Tcで計数する処理を加えて、伝送レートを判別するようにしている。従って、パターン長判別のためには、より低い固定周波数を用いて伝送レート判別を実現することが可能となる。

【0047】この発明によれば、さらに、この固定周波数によって各ビットデータを抽出するクロックをディジタル的に生成することが可能になるので、アナログPLLを用いることなく、データ抽出回路が実現できる。これにより、実際の回路においては消費電力を押さえ、か

つ、低い周波数による動作マージンとデジタル回路構成による安定性を確保することができる。

【図面の簡単な説明】

【図1】図1は、この発明が適用可能な伝送フォーマット（「SPDIFフォーマット」）を説明するための図である。

【図2】図2は、この発明の一実施例による伝送レート判別アルゴリズムを表わすフローチャートである。

【図3】図3は、この発明の一実施例による伝送レート判別アルゴリズムにおける第1閾値設定手法を説明するための波形図及びテーブル（1）である。

【図4】図4は、この発明の一実施例による伝送レート判別アルゴリズムにおける第2閾値設定手法を説明するための別のテーブル（2）である。

【図5】図5は、この発明の一実施例による伝送レート判別アルゴリズムのより詳細な一例を示すフローチャートである。

【図6】図6は、この発明の一実施例による伝送レート判別及びデータ抽出回路を示す図である。

【符号の説明】

Fs 伝送レート（サンプリング周波数）、

T 最小パターン長又は最短パターン、

2T ビットレート対応パターン長（1タイムスロットに対応）、

3T 最大パターン長又は最長パターン、

PA プリアンブルパターン、

n 第1カウント値（パターン長計数値）、

m 第2カウント値（特定パターン検出回数）、

*

*Fsmax 最大レート（伝送レートFsの候補のうち最大の伝送レート）、

Tmin 最大レートFsmaxでの最小パターン長、

2Tmin 最大レートFsmaxでのビットレート対応パターン長、

3Tmin 最大レートFsmaxでの最大パターン長、

fc 周期tを有する計測クロック周波数、

a 最小パターン長対応周波数の伝送レートFsに対する倍率、

b 計測クロック周波数fcの最大レートFsmaxに対する倍率、

c 最小パターン長Tminに対する計測クロック周波数の倍率、

RS 伝送レート判別及びデータ抽出回路、

p1 伝送レートFs=32kHzに対応するビット抽出パルス列、

p2 伝送レートFs=44.1kHz/48kHzに対応するビット抽出パルス列、

f0 エラー信号Sfoに基づいて得られるエラーフラグ、

f1 第1判別信号Sf1に基づいて得られる第1ステートフラグ、

Sfa 第2判別信号、

f2, f3 第3判別信号Sfbの内容に基づいて得られる第2及び第3ステートフラグ、

f4 ステート確認結果フラグ。

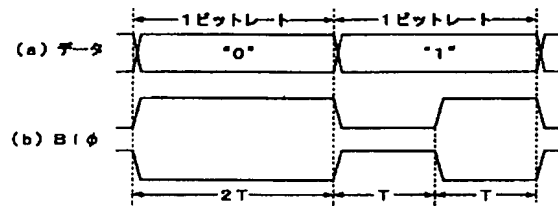
【図4】

	Tc=166.7μs:48kHz/8	(P) サブフレーム数	(Q) 3T閾値検出方法	閾値 C2
A	イ) fs=48kHz	16	$(16^{+1}_{-1} \times 1.5) \pm 1$	21~27
	ロ) fs=44.1kHz	14.7	$(14^{+1}_{-1} \times 1.5) \pm 1$	20~24
	ハ) fs=32kHz	10.7	$(10^{+1}_{-1} \times 1.5) \pm 1$	14~18
	Tc=333.3μs:48kHz/16	(P)	(Q)	C2
B	イ) fs=48kHz	32	$(32^{+1}_{-1} \times 1.5) \pm 1$	46~51
	ロ) fs=44.1kHz	29.4	$(29^{+1}_{-1} \times 1.5) \pm 1$	42~46
	ハ) fs=32kHz	21.3	$(21^{+1}_{-1} \times 1.5) \pm 1$	30~34
	Tc=500μs:48kHz/24	(P)	(Q)	C2
C	イ) fs=48kHz	48	$(48^{+1}_{-1} \times 1.5) \pm 1$	69~75
	ロ) fs=44.1kHz	44.1	$(44^{+1}_{-1} \times 1.5) \pm 1$	63~69
	ハ) fs=32kHz	32	$(32^{+1}_{-1} \times 1.5) \pm 1$	45~51
	Tc=666.7μs:48kHz/32	(P)	(Q)	C2
D	イ) fs=48kHz	64	$(64^{+1}_{-1} \times 1.5) \pm 1$	93~99
	ロ) fs=44.1kHz	58.7	$(58^{+1}_{-1} \times 1.5) \pm 1$	86~90
	ハ) fs=32kHz	42.7	$(42^{+1}_{-1} \times 1.5) \pm 1$	62~66

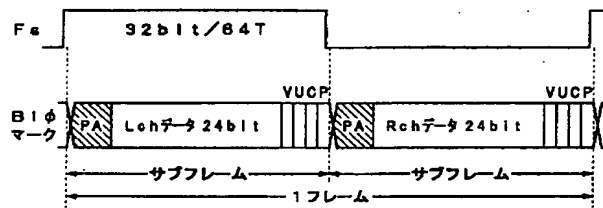
テーブル(2)

【図1】

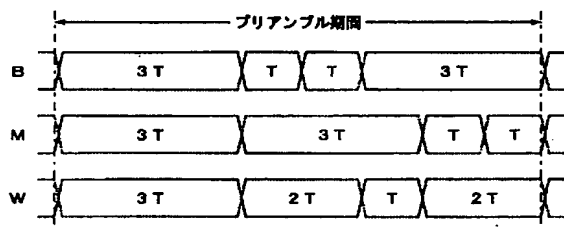
(1) B1φマーク方式



(2) 1フレームフォーマット

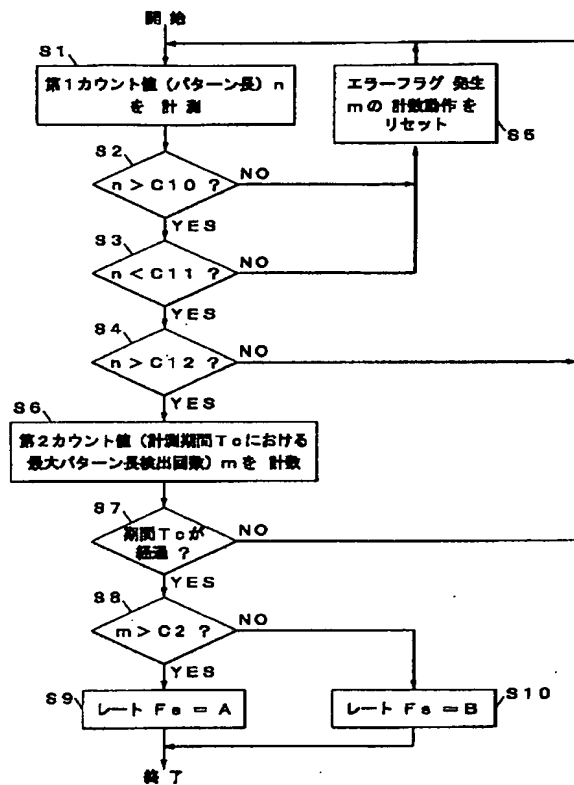


(3) プリアンブル (PA) のパターン



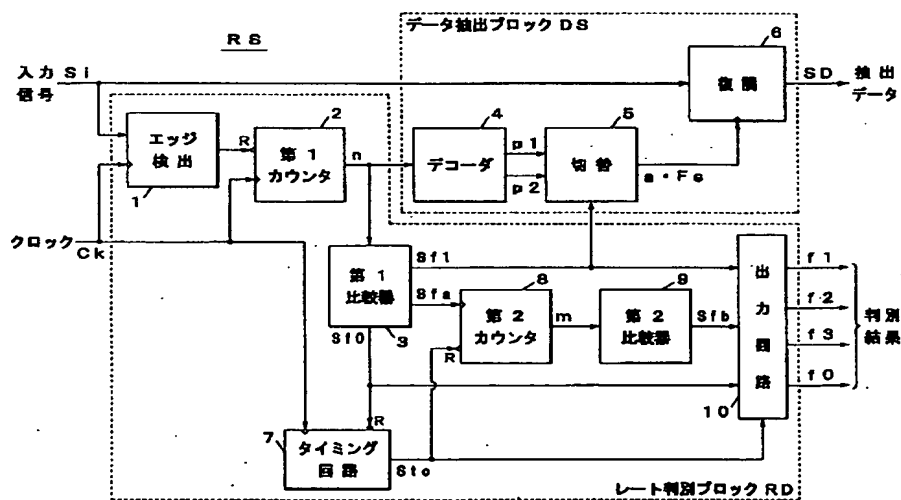
SPDIFフォーマット

【図2】



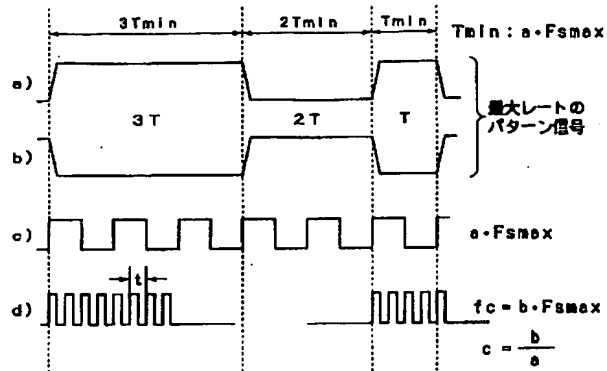
レート判別アルゴリズム

【図6】



伝送レート判別及びデータ抽出回路

【図3】

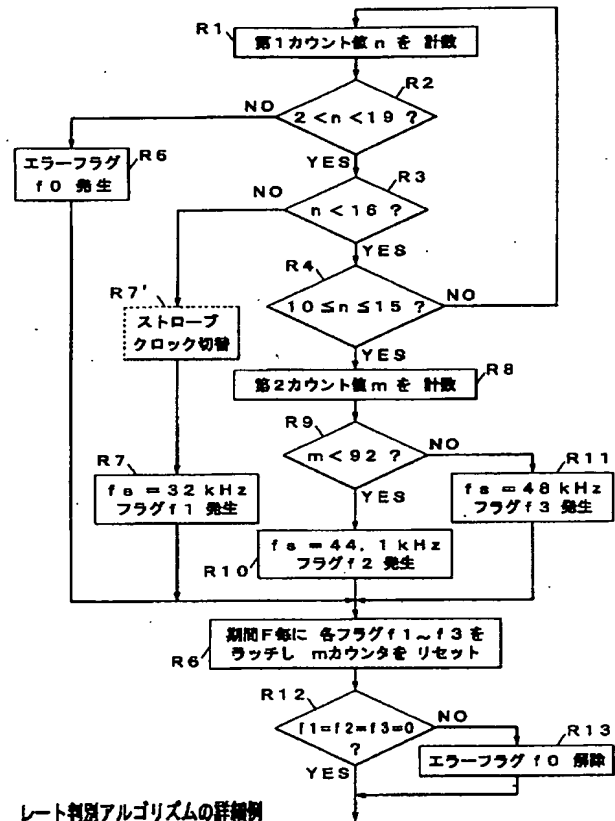


	3 T	2 T	T	例: a = 128, b = 512, c = 4
イ	12 t 488.3 ns	8 t 325.5 ns	4 t 162.8 ns	Fs = 48 kHz
ロ	13.1 t 531.5 ns	8.7 t 354.3 ns	4.4 t 177.2 ns	Fs = 44.1 kHz
ハ	18 t 732.4 ns	12 t 488.3 ns	6 t 244.1 ns	Fs = 32 kHz

テーブル (1)

波形説明図及びテーブル (1)

【図5】



レート判別アルゴリズムの詳細例